

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-083863

(43)Date of publication of application : 28.03.1997

---

(51)Int.Cl. H04N 5/262

H04N 5/91

H04N 5/937

---

(21)Application number : 07-238190 (71)Applicant : FUJI PHOTO FILM CO  
LTD

(22)Date of filing : 18.09.1995 (72)Inventor : TAKANE YASUO

---

## (54) ELECTRONIC ZOOM PROCESSING UNIT AND ELECTRONIC ZOOM PROCESSING METHOD

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide an electronic zoom output image with less defect by enhancing the image quality for various image patterns.

SOLUTION: A processing start picture element decision section 120 and an interpolation coefficient arithmetic section 122 decide a processing start picture element and a picture element interval after interpolation processing respectively depending on a zoom magnification (r) received by a connection line 132 and picture element data subjected interpolation processing are given to an interpolation arithmetic section 126 via a picture element input section 124. The

picture element data received by the interpolation arithmetic section 126 are subjected to interpolation processing by primary and secondary interpolation and a coefficient K used to control an arithmetic output of the secondary interpolation is fed from a coefficient setting section 128 to the interpolation arithmetic section 126, in which the coefficient K is multiplied with the arithmetic output of secondary interpolation and the result of multiplication is added to the arithmetic result for primary interpolation and the sum is outputted from an output of the interpolation arithmetic section 126.

---

## LEGAL STATUS

[Date of request for examination] 22.03.2002

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number] 3699171

[Date of registration] 15.07.2005

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

---

## CLAIMS

---

[Claim(s)]

[Claim 1] In the electronic zoom processor which expands or reduces the image which carries out the digital operation of the image data according to the set-up zoom scale factor, and is expressed with the image data this equipment A pixel decision means to determine the location of a processing initiation pixel according to said zoom scale factor, A interpolation multiplier operation means to compute pixel spacing after interpolation processing based on the processing initiation pixel determined with said zoom scale factor and said pixel decision means, Based on the result of an operation of this interpolation multiplier operation means, it has the interpolation operation means which carries out interpolation processing of said image data. This interpolation operation means the 1st interpolation means which interpolates the 1st order of said pixel data -- this -- with the 2nd interpolation means which interpolates the 2nd order of said pixel data based on the information given from the 1st interpolation means An output-control means to add and output the output of said 1st and 2nd interpolation means is included. This equipment is an electronic zoom processor which has a multiplier setting means to set up further the 1st multiplier which controls the rate of the addition in said output-control means, and is characterized by said output-control means adding the processing result of the secondary interpolation according to said 1st set-up multiplier to the processing result of primary interpolation.

[Claim 2] It is the electronic zoom processor which this equipment has an actuation means to detect actuation of an operator, in an electronic zoom processor according to claim 1, and is characterized by said multiplier setting means setting up said 1st multiplier according to the actuation information detected with said actuation means.

[Claim 3] Said output-control means is an electronic zoom processor characterized by including the 1st multiplication means which carries out gain control so that this addition result may not exceed the predetermined number of

bits to said addition result in an electronic zoom processor according to claim 1.

[Claim 4] Said 1st multiplication means is a zoom processor characterized by carrying out gain control according to the monitor result of said 1st monitor means including the 1st monitor means which supervises whether, as for said output-control means, said addition result exceeded said predetermined number of bits in an electronic zoom processor according to claim 3.

[Claim 5] In an electronic zoom processor according to claim 1 said output-control means It has the 2nd multiplication means which carries out the multiplication of the 2nd multiplier for an output control to the output of said 2nd interpolation means. The result of an operation by the 2nd multiplication means and the output of said 1st interpolation means are added. this output-control means -- this -- Said 2nd multiplication means is a zoom processor characterized by carrying out the multiplication of the 2nd multiplier according to the monitor result of said 2nd monitor means to the output of said 2nd interpolation means including the 2nd monitor means which supervises whether, as for this output-control means, said addition result exceeded said predetermined number of bits further.

[Claim 6] In the electronic zoom art which expands or reduces the image which carries out the digital operation of the image data according to the set-up zoom scale factor, and is expressed with the image data this approach The pixel decision process of determining the location of a processing initiation pixel according to said zoom scale factor, The interpolation multiplier operation process which computes pixel spacing after interpolation processing based on the processing initiation pixel determined at said zoom scale factor and said pixel decision process, Based on the result of an operation of this interpolation multiplier operation means, it has the interpolation operation process which carries out interpolation processing of said image data. This interpolation operation process the 1st interpolation process which interpolates the 1st order of said pixel data -- this -- with the 2nd interpolation process which interpolates the 2nd order of said pixel data based on the information given from the 1st

interpolation process The output-control process which adds and outputs the output of said 1st and 2nd interpolation processes is included. This approach is an electronic zoom art which has the multiplier setting process of setting up further the 1st multiplier which controls the rate of the addition in said output-control process, and is characterized by said output-control process adding the processing result of the secondary interpolation according to said 1st set-up multiplier to the processing result of primary interpolation.

[Claim 7] It is the electronic zoom art which this approach has the actuation process which detects actuation of an operator in an electronic zoom art according to claim 6, and is characterized by said multiplier setting process setting up said 1st multiplier according to the actuation information detected at said actuation process.

[Claim 8] Said output-control process is an electronic zoom art characterized by including the 1st multiplication process which carries out gain control so that this addition result may not exceed the predetermined number of bits to said addition result in an electronic zoom art according to claim 6.

[Claim 9] Said 1st multiplication process is a zoom art characterized by carrying out gain control according to the monitor result of said 1st monitor process including the 1st monitor process which supervises whether, as for said output-control process, said addition result exceeded said predetermined number of bits in an electronic zoom art according to claim 8.

[Claim 10] In an electronic zoom art according to claim 6 said output-control process It has the 2nd multiplication process which carries out the multiplication of the 2nd multiplier for an output control to the output of said 2nd interpolation process. The result of an operation by the 2nd multiplication process and the output of said 1st interpolation process are added. this output-control process -- this -- Said 2nd multiplication process is a zoom art characterized by carrying out the multiplication of the 2nd multiplier according to the monitor result of said 2nd monitor process to the output of said 2nd interpolation process including the 2nd monitor process which supervises whether, as for this output-control process,

said addition result exceeded said predetermined number of bits further.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the electronic zoom processor and electronic zoom art which carry out zoom processing of the video signal showing an image by the digital operation, for example, is used for a display, an airline printer, etc. which output the image which the edit device into which the video signal picturized and acquired by image pick-up devices, such as a video camera and an electronic "still" camera, and these image pick-up device is edited, and a video signal express, and relates to a suitable electronic zoom processor and an electronic zoom art.

[0002]

[Description of the Prior Art] Optical zooming to which some image pick-up lenses are moved in case a photographic subject is picturized by noncommercial image pick-up devices, such as recent years, for example, a video camera etc., and a focal distance is changed continuously, and electronic zooming which expands electronically the image which carries out the digital operation of the video signal picturized and acquired, and the video signal expresses are used together, and the thing to which a photographic subject is made to expand and reduce free by zoom-in and zoom out is known.

[0003] From the demand of the simplification of a hard configuration etc., the electronic zoom function to perform such zoom processing adopted the interpolation approach and linearity (1st order) interpolation by the front-end hold of a pixel, and was outputting the image to which the original image was expanded, for example. Generally, although the high order interpolation

processing beyond secondary interpolation could acquire good image quality in such interpolation processing, the image with few breakdowns by image quality with the primary interpolation which carries out interpolation processing from the above-mentioned demand safely to various patterns in the comparatively small amount of operations had been obtained.

[0004]

[Problem(s) to be Solved by the Invention] However, in primary interpolation, there was a problem that the processing result was not necessarily recognized to be a good image from the viewpoint of human being depending on the pattern of the image which cannot enlarge the dynamic range of the pixel level after interpolation processing compared with the processing result by secondary interpolation, and is processed in secondary interpolation.

[0005] For example, when primary interpolation is compared with secondary interpolation about the pixel level after interpolation processing, a dynamic range is expanded by the direction of secondary interpolation, for example, there is an advantage that the edge part of an image is emphasized. However, there was a problem that the emphasis may not be appropriate and a breakdown will arise in image quality in that case depending on a pattern.

[0006] This invention cancels the fault of such a conventional technique, raises image quality to various patterns, and it aims at offering the electronic zoom processor and electronic zoom art which can obtain an electronic zoom output image with few breakdowns.

[0007]

[Means for Solving the Problem] In the electronic zoom processor which expands or reduces the image which carries out the digital operation of the image data according to the set-up zoom scale factor, and is expressed with the image data in order that this invention may solve an above-mentioned technical problem A pixel decision means by which this equipment determines the location of a processing initiation pixel according to a zoom scale factor, A interpolation multiplier operation means to compute pixel spacing after interpolation

processing based on the processing initiation pixel determined with the zoom scale factor and the pixel decision means, Based on the result of an operation of a interpolation multiplier operation means, it has the interpolation operation means which carries out interpolation processing of the image data. A interpolation operation means The 1st interpolation means which interpolates the primary pixel data, and the 2nd interpolation means which interpolates the secondary pixel data based on the information given from the 1st interpolation means, An output-control means to add and output the output of the 1st and 2nd interpolation means is included. This equipment has a multiplier setting means to set up further the 1st multiplier which controls the rate of the addition in an output-control means, and an output-control means is characterized by adding the processing result of the secondary interpolation according to the 1st set-up multiplier to the processing result of primary interpolation.

[0008] In this case, this equipment has an actuation means to detect actuation of an operator, and a multiplier setting means is good to set up the 1st multiplier according to the actuation information detected with the actuation means.

[0009] Moreover, an output-control means is good to include the 1st multiplication means which carries out gain control so that this addition result may not exceed the predetermined number of bits to an addition result.

[0010] In this case, an addition result is still better for the 1st multiplication means to carry out gain control of whether the output-control means exceeded said predetermined number of bits according to the monitor result of the 1st monitor means including the 1st monitor means to supervise.

[0011] Moreover, an output-control means has the 2nd multiplication means which carries out the multiplication of the 2nd multiplier for an output control to the output of the 2nd interpolation means. An output-control means adds the result of an operation by the 2nd multiplication means, and the output of the 1st interpolation means. It is good to carry out the multiplication of the 2nd multiplier to which the 2nd multiplication means followed the monitor result of the 2nd monitor means including the 2nd monitor means which supervises whether the



output-control means exceeded the number of bits predetermined in an addition result further to the output of the 2nd interpolation means.

[0012] Moreover, in order that this invention may solve an above-mentioned technical problem, according to the set-up zoom scale factor, carry out the digital operation of the image data, and the image expressed with the image data is set to the electronic zoom art expanded or reduced. The pixel decision process that this approach determines the location of a processing initiation pixel according to a zoom scale factor, The interpolation multiplier operation process which computes pixel spacing after interpolation processing based on the processing initiation pixel determined at the zoom scale factor and the pixel decision process, Based on the result of an operation of a interpolation multiplier operation process, it has the interpolation operation process which carries out interpolation processing of said image data. A interpolation operation process The 1st interpolation process which interpolates the primary pixel data, and the 2nd interpolation process which interpolates the secondary pixel data based on the information given from the 1st interpolation process, The output-control process which carries out \*\* <TXF FR=0001 HE=250 WI=080 LX=0200 LY=0300> \*\* of the output of the 1st and 2nd interpolation processes, and outputs it is included. This approach has the multiplier setting process of setting up further the 1st multiplier which controls the rate of the addition in an output-control process, and an output-control process is characterized by adding the processing result of the secondary interpolation according to the 1st set-up multiplier to the processing result of primary interpolation.

[0013] In this case, this approach has the actuation process which detects actuation of an operator, and a multiplier setting process is good to set up the 1st multiplier according to the actuation information detected at the actuation process.

[0014] Moreover, an output-control process is good to include the 1st multiplication process which carries out gain control so that this addition result may not exceed the predetermined number of bits to an addition result.

[0015] In this case, it is still better for the 1st multiplication process to carry out

gain control according to the monitor result of the 1st monitor process including the 1st monitor process which supervises whether the output-control process exceeded the number of bits predetermined in an addition result.

[0016] Moreover, an output-control process has the 2nd multiplication process which carries out the multiplication of the 2nd multiplier for an output control to the output of the 2nd interpolation process. An output-control process adds the result of an operation by the 2nd multiplication process, and the output of the 1st interpolation process. It is good to carry out the multiplication of the 2nd multiplier to which the 2nd multiplication process followed the monitor result of the 2nd monitor process including the 2nd monitor process which supervises whether the output-control process exceeded the number of bits predetermined in an addition result further to the output of secondary interpolation processes.

[0017]

[Embodiment of the Invention] Next, one example of the electronic zoom processor by this invention and an electronic zoom art is explained to a detail with reference to an accompanying drawing. One example of the electronic zoom processor with which the electronic zoom art by this invention was applied is shown in drawing 1 . electronic zoom processor 100 in this example It is the signal processor which outputs the video signal showing the image which carried out the sequential input of the pixel data of a former image, carried out the digital operation of these by the interpolation interpolation operation, and was expanded or reduced. For example When applied to image pick-up devices, such as a video camera or an electronic "still" camera They are the buffers 300, such as a frame memory or a field memory, about the signal which carried out zoom processing and which was processed in response to the video signal from an image pick-up system as shown in drawing 3 . It accumulates and outputs to a finder and a record reversion system.

[0018] Especially, it is the electronic zoom processor 100 of this example. It has the big description at the point of performing zoom processing which corresponded to the image of various patterns flexibly, by it not only performing

interpolation processing, but switching primary interpolation and secondary interpolation and performing these in-between interpolation data processing. In addition, the part which does not have the direct relation to this invention in the following explanation omits illustration and its explanation, and the reference mark of a signal line is expressed with the reference number of the appearing path cord.

[0019] In a detail, it is the electronic zoom processor 100 of this example. As shown in drawing 1, it is the processing initiation pixel decision section 120. Interpolation multiplier operation part 122 Pixel input section 124 Multiplier K for setting up the ratio of the interpolation operation part 126, and primary interpolation and secondary interpolation Interpolation operation part 126 The multiplier setting section 128 to give Control unit 130 It has.

[0020] Processing initiation pixel decision section 120 It is a path cord 132 about the zoom scale factor  $r$  set up in the non-illustrated zoom scale-factor input section. It minds, and it inputs, and it is the operation part which determines the location  $R$  of the processing initiation pixel of a former image  $(x, y)$  in response to this zoom scale factor  $r$ , for example, the microprocessor for data processing etc. is effectively applied with a video camera. this processing initiation pixel decision section 120 \*\*\*\* -- the number of pixels of the image of capacity, such as a frame memory which accumulates the former image in the number of pixels or digital processor of CCD (Charge Coupled Device) of a video camera, for example, to origin  $M \times N$  it gives -- having -- \*\*\*\* -- moreover, the number of pixels after zoom processing  $m \times n$  It is given from the numbers of pixels, such as a display. The numbers  $M$  and  $m$  of pixels which serve as known from the relation of the several  $m$  pixel after the zoom processing which integrates the zoom scale factor  $r$  the twice of  $1/2$  of the number  $M$  of pixels of a former image, i.e., the difference of the center position of a former image, and the location  $R_x$  of a processing initiation image, and is horizontally obtained in this example, for example And the location  $R_x$  of a processing initiation pixel is computed by counting backward from the zoom scale factor  $r$ . Similarly, they are a several  $N_s$  vertical pixel and  $n$ . And it

asks for the vertical position  $R_y$  of a processing initiation pixel from the zoom scale factor  $r$ . Processing initiation pixel decision section 120 It is a path cord 134 about the pixel location for which it asked. It minds and is the interpolation multiplier operation part 122. It outputs.

[0021] interpolation multiplier operation part 122 the first pixel -- the processing initiation pixel decision section 120 from -- a pixel location -- the interpolation multiplier  $d$  -- carrying out -- interpolation operation part 126 It is the location arithmetic circuit which computes the location between the input pixels of correspondence by supplying and carrying out sequential addition of the value at equal intervals computed in the zoom scale factor  $r$  and the distance between pixels of a former image in the pixel after it in the location of the pixel for which it asked. In this example, as shown in drawing 6 , the value at equal intervals computed in the zoom scale factor  $r$  and the distance between pixels of a former image is received as zoom scale-factor data, for example, and it is an adder 600 about this. While minding and outputting, it is an adder 600 about the data. It is formed in the circuit which feeds back, adds with the following value and is outputted again. Adder 600 8 bits when it is an adder circuit and an aggregate value exceeds 8 bits, it is the pixel input section 124 about a carry bit  $C$ . It supplies. The carry bit  $C$  is used for the following input pixel's beginning to read, or reading and throwing away. Specifically, it is the distance between pixels of a former image  $28 = 256$  It carries out and is the zoom scale factor  $r = 1.31$ . If it carries out The distance between pixels to find is  $256 / 1.31^{**}195$ . It becomes and is 195. Distance is added to the last pixel location one by one. 256 When it exceeds, it is the pixel input section 124. A carry bit  $C$  is supplied, pixel incorporation is performed, and it is 256. It is the interpolation operation part 126, using as the interpolation multiplier  $d$  the value (8 bit part of low order) which is not filled. It supplies. Moreover, a zoom scale factor is  $r = 0.66$ . If it carries out, the distance between pixels to find  $256 / 0.66^{**}387$  It becomes and is 387. Distance is added to the last pixel location one by one. 256 the case where it exceeds -- the pixel input section 124 a carry bit  $C$  -- supplying -- this carry bit -- adder 600

from -- until it is no longer outputted -- reading \*\*\*\* of a pixel -- the pixel input section 124 While carrying out 256 It is the interpolation operation part 126, using as the interpolation multiplier d the value which is not filled. It supplies.

[0022] drawing 1 -- returning -- the pixel input section 124 The processing initiation pixel decision section 120 from -- an operation value and interpolation multiplier operation part 122 from -- it is the pixel read-out circuit which reads the pixel of a former image one by one following a carry bit C. Pixel input section 124 It is a path cord 125 about the read pixel data. It minds and is the interpolation operation part 126. It outputs.

[0023] interpolation operation part 126 The pixel input section 124 from -- the pixel value of the outputted former image -- interpolation multiplier operation part 122 The multiplication of the outputted interpolation multiplier d is carried out. from -- As it is the main arithmetic circuit which calculates the value of a interpolation pixel and this example shows to drawing 2 the 1st interpolation processing section 202 which mainly performs primary interpolation This interpolation processing section 202 The 2nd interpolation processing section 204 which performs secondary interpolation processing having -- further -- interpolation operation part 126 Multiplier 206 which carries out the multiplication of the multiplier K to the output of the 2nd interpolation processing section 204 This multiplier 206 An output and the 1st interpolation processing section 202 Adder 208 which adds and outputs an output The included output-control section 210 It has. Namely, interpolation operation part 124 in this example It is constituted according to the interpolation (interpolation) formula of Newton described below.

[0024] First, interpolation operation part 126 It calculates by dividing into a horizontal direction and a perpendicular direction to the two-dimensional image inputted, and the secondary interpolation operation (nine-point interpolation) as shown in drawing 9 is performed to 9 pixels which adjoins as a result. At this time, since arithmetic part is the same in a horizontal direction and a perpendicular direction, when the interpolation formula of Newton is applied to adjoining 3

pixels (X0, X1, X2), this interpolation operation is expressed with a degree type (1).

[0025]

[Equation 1]

$$Y(X) = f[X0] + (X-X0) f[X1] + (X-X0)(X-X1) f[X2] \dots (1)$$

however,  $f[X0] = Y$  --  $0f[X0, X1] = (Y1-Y0)(X1-X0)$   $f[X0, X1, X2] = X1$  and  $\{f[X2]-f[X0, X1]\}/(X2-X0)$  it is .

[0026] Here, a formula (1) is [0027] when it sets with pixel spacing distance =1 by the formula (1).

[Equation 2]

$$Y(X) = Y1(X-X1) + Y0(X1-X) + 1/2(X-X0)(X-X1)(Y2-2Y1+Y0) \dots (2)$$

\*\* -- it can deform like.

[0028] interpolation operation part 126 of this example \*\*\*\* -- fundamentally, it is considering as the configuration which carries out the multiplication of the multiplier K ( $0 \leq K \leq 1$ ) to the secondary term of a formula (1). That is, [0029]

[Equation 3]

$$Y(X) = Y1(X-X1) + Y0(X1-X) + K/2(X-X0)(X-X1)(Y2-2Y1+Y0) \dots (3)$$

It comes out.

[0030] On the other hand, the pixel control for expansion/contraction of the image in an electronic zoom function considers in a formula (2) that X-X1 is the distance between pixels, and is  $d = (X-X1)$ . It is [0031] when it sets.

[Equation 4]

$$Y(X) = Y1d + Y0(1-d) + K/2(Y2-2Y1+Y0)d(d-1) \dots (4)$$

It becomes.

[0032] Therefore, distance d between pixels after interpolation When it is less than one value, it becomes expansion processing, and it is the distance d between pixels. At the time of the value exceeding 1, it becomes contraction processing. For example, the control at the time of expansion is the distance d between pixels. Sequential addition is carried out and it is  $d = 1$ . Whenever it becomes, the pixel which adjoins is read, and at the time of contraction, it is d.

Control which reads and throws away a pixel is performed until it becomes less than one. Interpolation operation part 126 in this example Further, the formula (4) is deformed and constituted, as shown in a degree type (5). Namely, [0033]

[Equation 5]

$$Y(X) = d + Y(Y_1 - Y_0) \cdot 0 + K/2 \{ (Y_2 - Y_1) \cdot d - (Y_1 - Y_0) \cdot d \} \cdot (d-1) \dots (5)$$

It comes out.

[0034] Thus, at this example, it is a multiplier K to the secondary term of a formula (5). By carrying out multiplication, it is a multiplier K about the degree of the value by the term over the whole formula. It can respond and adjust.

[0035] interpolation operation part 126 having expressed in the arithmetic circuit indicates this formula (5) to be to drawing 2 it is . this drawing shows -- as -- the 1st interpolation processing section 202 the configuration corresponding to the primary term "d+Y (Y<sub>1</sub>-Y<sub>0</sub>)0" in said formula (5) -- it is -- moreover, the 2nd interpolation processing section 204 The output-control section 210 It is a configuration corresponding to the secondary term "+K/2 {(Y<sub>2</sub>-Y<sub>1</sub>) d-(Y<sub>1</sub>-Y<sub>0</sub>) d} (d-1)" in a formula (5).

[0036] the 1st interpolation processing section 202 The 2nd interpolation processing section 204 Delay circuit 220 Output 222 it connects -- having -- for example, horizontal 2 pixels (Y<sub>1</sub>, Y<sub>0</sub>) \*\*\*\*\* -- it is the interpolation circuit which performs primary interpolation. this interpolation processing section 202 Input 222 Delay circuit 228 which the appearing pixel is delayed and is outputted to an output 230 Delay circuit 220 Difference Y<sub>1</sub>-Y<sub>0</sub> of the delayed pixel Y<sub>1</sub> and the pixel Y<sub>0</sub> delayed in the delay circuit 228 It calculates. Y<sub>1</sub>-Y<sub>0</sub> Output 234 Subtractor 232 to output Subtractor 232 from -- Y<sub>1</sub>-Y<sub>0</sub> outputted Interpolation multiplier d given from the interpolation multiplier operation part 124 ( drawing 1 ) Multiplier 236 which carries out multiplication Multiplier 236 Output 238 Delay circuit 228 Output 230 Adder 240 to add It contains. Adder 240 An output 224 is the output-control section 210. Adder 208 It connects.

[0037] The 2nd interpolation processing section 204 Interpolation processing section 202 For example, it is the interpolation circuit which performs secondary

interpolation about horizontal 3 pixels (Y2, Y1, Y0). This interpolation processing section 204 Delay circuit 220 The pixel Y2 and delay circuit 220 which are inputted Difference Y2-Y1 with the delayed pixel Y1 It calculates. Y2-Y1 Output 240 Subtractor 242 to output Subtractor 242 from -- Y2-Y1 outputted Interpolation multiplier operation part 124 from -- interpolation multiplier d given Multiplier 244 which carries out multiplication this multiplier 244 Output 246 Multiplier 236 Output 238 Subtractor 248 which calculates a difference this subtractor 248 Output 250  $(d-1) / 2$  multiplication -- carrying out -- output 226 Multiplier 252 to output Interpolation multiplier operation part 122 from -- interpolation multiplier d given from --  $(d-1) / 2$  a value -- computing -- multiplier 252 Arithmetic circuit 254 to output It contains. 226 of the interpolation processing section 204 Output-control section 210 Multiplier 206 It connects. [0038] this multiplier 206 The interpolation processing section 204 from --  $1/2 \{(Y2-Y1) d - (Y1-Y0) d\} (d-1)$  outputted the value to express -- receiving -- the interpolation multiplier setting section 122 from -- the multiplier K ( $0 \leq K \leq 1$ ) given -- multiplication -- carrying out -- that result of an operation -- adder 208 It outputs. Adder 208 Output 224 of the interpolation processing section 202 Multiplier 206 An output is added and the result of an operation is outputted as a pixel after pixel interpolation.

[0039] drawing 1 -- returning -- interpolation operation part 126 Multiplier K The multiplier setting section 128 to output this example -- the input 136 Connected control unit 130 from -- the multiplier according to the information notified -- interpolation operation part 126 It outputs. Control unit 130 According to the directions inputted into the dial which adjusts the image quality at the time of an electronic zoom by the operator, for example, it is the multiplier setting section 128 about the accommodation information according to the actuation. It sends out. Multiplier setting section 128 Multiplier K according to the notified accommodation information Interpolation operation part 126 It outputs. Moreover, the multiplier setting section 128 The accommodation information according to a pattern is received from the system-control section with which for example, the



image pick-up device was equipped, and it responds to this accommodation information, and is a multiplier K. It may be constituted so that it may set up. Thus, multiplier K used by the interpolation operation part 126 in this example according to the pattern of the photographic subject to picture It can be set as arbitration.

[0040] Electronic zoom processor [ in / by the above configurations / this example ] 100 Actuation is explained below. First, when an operator sets up the zoom scale factor r through the zoom scale-factor input section, it is the processing initiation pixel decision section 120. The numbers M and N of pixels of a former image And the several m pixel after zoom processing and n The location of the read-out initiation pixel in the former image which is based and is supplied from an image pick-up system or a frame memory of a camera etc. is determined, and it is the pixel input section 124. It supplies.

[0041] for example, the case where expansion processing is performed -- the processing initiation pixel decision section 120 the direction of a horizontal scanning -- setting -- several pixels -- M and m respectively -- 640 \*\* -- carrying out -- a several Ns vertical pixel and n 480 \*\* -- carrying out -- zoom scale factor  $r = 1.31$  \*\* -- if it carries out -- location (Rx, Ry) of a processing initiation pixel \*\* (75 56) It computes. the processing initiation pixel decision section 120 the computed pixel location -- the pixel input section 124 The pixel input section 124 which notified and received this \*\*\*\* -- first -- the pixel -- reading -- subsequently - - location (76 56) of a degree And (77 56) a pixel -- one by one -- reading appearance -- carrying out -- the interpolation processing section 126 Delay circuit 220 It supplies.

[0042] Interpolation pixel operation part 126 which received the processing initiation pixel R It is a delay circuit 220 about an input pixel. A delay output is carried out and it is a delay circuit 220 further. It is a delay circuit 228 about an output. A delay output is carried out. Delay circuit 220 An output (Y1) is a delay circuit 228. An output (Y0) is a subtractor 232. It subtracts and is the output (Y1-Y0). Multiplier 236 It is given and is a transform coefficient d to this. Multiplication

is carried out. this result of an operation  $(Y1-Y0) \cdot d$  -- further -- adder 240 Delay circuit 228 from -- it outputs -- having had  $(Y0)$  -- it adds -- having -- that result-of-an-operation  $(Y1-Y0) \cdot d + Y0$  Adder circuit 228 One input is supplied.

[0043] On the other hand, it is a delay circuit 220. An output  $(Y1)$  and pixel data  $(Y2)$  are a subtractor 242. It is inputted and is the difference  $(Y2-Y1)$ . It is computed and is the result of an operation  $(Y2-Y1)$ . Multiplier 244 Transform coefficient  $d$  Multiplication is carried out. This result of an operation  $(Y2-Y1) \cdot d$  and multiplier 236 A difference with an output  $(Y1-Y0) \cdot d$  is a subtractor 248. It calculates and is that result of an operation  $\{(Y2-Y1) \cdot d - (Y1-Y0) \cdot d\}$ . Multiplier 252 It is inputted.

[0044] multiplier 252 the input of another side -- arithmetic circuit 254 from --  $(d-1) / 2$  it gives -- having -- \*\*\*\* -- this value and subtractor 248 Output 250 Multiplication is carried out. multiplier 252 The results of an operation  $1/2 \{(Y2-Y1) \cdot d - (Y1-Y0) \cdot d\} \cdot (d-1)$  Path cord 226 minding -- multiplier 206 it inputs -- having - - this value and the multiplier setting section 128 from -- multiplier  $K$  set up Multiplication is carried out. This result of an operation is an adder 208. It is inputted into the input of another side. adder circuit 208 \*\*\*\* --  $d + Y \cdot (Y1-Y0) \cdot 0$  corresponding to the primary term in said formula (5)  $K/2 \{(Y2-Y1) \cdot d - (Y1-Y0) \cdot d\} \cdot (d-1)$  corresponding to the secondary term It is added and is outputted as pixel data after the addition result interpolating.

[0045] consequently, the multiplier setting section 128 from -- multiplier  $K$  a value --  $K=0$  the result of an operation [ in / when set up / the secondary term of a formula (5) ] -- "0" it becomes and inputs into an adder circuit 208 substantially -- not having -- adder circuit 208 Only the result of an operation [ in / in an output / the primary term of this formula (5) ] is outputted. Moreover,  $K=1$  Multiplier setting section 128 When set up, it is the interpolation processing section 204. The calculated result of an operation is an adder 208 as it is. The result of an operation which was inputted and added the secondary term to the primary term in a formula (5) is the interpolation operation part 126. It is outputted as an output. Furthermore, the multiplier setting section 128 Set-up multiplier  $K$  When it is  $(0 >$

$K > 1$ ), the in-between value of the primary term and the secondary term in said formula (5) is outputted as pixel data after pixel interpolation. The above actuation explains horizontal processing. It is necessary to perform same actuation perpendicularly. In this case, delay circuit 220 shown in drawing 2 And 228 The thing replaced with the delay elements (for example, Rhine memory etc.) of 1 horizontal scanning line unit is used. In addition, either level and a perpendicular direction may be processed first.

[0046] Consequently, set-up multiplier  $K$  "1" It is equal, or the pixel data after the interpolation processing in which the data-processing result of secondary interpolation was fully reflected when close to it are outputted, and it is a multiplier  $K$  conversely. "0" It is equal, or when close to it, the pixel data after the interpolation processing with the property of primary interpolation are obtained greatly. Therefore, especially in the case of the former, as shown in drawing 7 , the pixel data after large interpolation of a dynamic range can be obtained.

[0047] Moreover, this multiplier  $K$  Since it can carry out adjustable [ of that dynamic range ] by making it change, the dynamic range according to a pattern can be obtained by choosing the multiplier according to an input image appropriately. This is the value of a multiplier  $K$ , when it means that it can carry out adjustable [ of the degree of the emphasis in the edge part of an image ] and an image fails by the image and emphasis which do not need to emphasize "0" Or it is good to choose the value near it. Moreover, it is a multiplier  $K$  when an input image is a flat image. It is a value "1" Or by choosing the value near it, the image with which the profile part was emphasized moderately is obtained. These respond to the method of an image expression of the image, and are control units 130. Selection adjustment can be carried out by operating it at arbitration. Moreover, when evaluation of image quality changes, for example according to a zoom scale factor, it is made for that zoom scale factor to be interlocked with, and it is a multiplier  $K$ . It can also be made to be able to change and image quality change at the time of zooming can also be lessened in this case. Moreover, they are a zoom scale factor and a multiplier  $K$  in this way. By making

it interlock, the emphasis processing according to a zoom scale factor also becomes possible.

[0048] The pixel by which interpolation and zoom processing were carried out as mentioned above is outputted as a pixel expanded or reduced, as the example is shown in drawing 10. this drawing -- horizontal direction 640 A pixel and perpendicular direction 480 The example of expansion (upper case) which zoomed in the image of a pixel 1.31 times, and 1024 pixels of horizontal directions and a perpendicular direction 512 as the example of contraction (lower berth) which reduced the image of a pixel by 0.66 times having been shown, and having mentioned above the pixel data after each pixel interpolation -- the multiplier setting section 128 from -- according to the given multiplier, the dynamic range is expanded, respectively. In this drawing, the chain line shows correspondence of the pixel in primary interpolation.

[0049] Since primary interpolation is linear interpolation when this situation is returned to drawing 7 , a dynamic range is narrow as compared with secondary interpolation. In secondary interpolation, it turns out that it receives horizontally, for example, and it is expressed by the secondary curve, the value of the pixel maximum and minimum spreads, and the dynamic range is expanded since it is three-point interpolation. [ the ] At this example, it is the multiplier setting section 128 about this dynamic range. Multiplier K to depend It was able to respond and carry out adjustable.

[0050] Especially at the example explained above, it is a multiplier K. Since the rate of secondary interpolation increased when it was set as a large value, there was an advantage that the dynamic range after interpolation processing was expanded. However, when overflow occurs in the latter digital disposal circuit which processes the image data after interpolation processing, it is the interpolation operation part 126. This problem is solved by connecting the multiplier for gain control to an output.

[0051] When the image data before interpolation processing is data expressed with 8 bits, this dynamic range is expanded and, specifically, the pixel data after

interpolation processing may turn into 9-bit data. When the latter signal-processing system was constituted considering 8 bits as a premise, as it followed, for example, it was shown in drawing 8 , it is the output-control section 210. To the output of an adder 208 ( drawing 2 ), it is a control signal G. Multiplier 800 which responds and carries out gain control It connects. this control signal G For example, adder 208 Supervisory circuit 802 which supervises an output it generates -- having -- supervisory circuit 802 Adder 208 from -- the control signal which carries out gain control so that it may become data this [ whose ] is 8 bits, when the pixel data (8 bits or 9 bits) outputted are judged and 9 bit data are inputted -- multiplier 800 It outputs. In this case, supervisory circuit 802 It is good to generate a control signal which carries out high brightness compression of the inputted pixel data. Moreover, supervisory circuit 802 The control signal which carries out gain control of all the input pixel data more than constant value at a fixed pixel value is generated, and it is a multiplier 800. You may have the limiter control function to supply. Multiplier 800 Control signal G given from the supervisory circuit 802 Multiplication is carried out to 9 inputted bit data, 8 bit data are created, and it is the interpolation operation part 126 about this. It outputs as an output.

[0052] moreover, supervisory circuit 802 The interpolation multiplier setting section 128 from -- outputted multiplier K It may input and you may have the function to correct this according to a monitor result. Specifically, a supervisory circuit 802 is the multiplier K inputted when 9-bit data were detected. It is a multiplier 206 about multiplier K' which reset up the value smaller than it. It supplies and is an adder 208. The dynamic range after interpolation processing is controlled so that an output does not exceed 8 bits. In this case, control signal G Multiplier 800 which carries out adjustable magnification You may be, although you may not be. Multiplier 800 When it is, in the condition of having made secondary interpolation moderately effective, gain control of the output can be carried out, consequently the overflow in a latter processing circuit can be prevented.

[0053] Moreover, as the above-mentioned example shows to drawing 3 , the video signal from the image pick-up system of a camera is received, and it is a buffer 300. It constituted so that it might accumulate, but in this invention, as shown in drawing 4 or drawing 5 , you may apply to processors other than an image pick-up device. in this case, the example applied to the common processor in drawing 4 -- it is -- store circuits 400, such as a field memory or a frame memory, the video signal from a videocassette recorder or a video camera -- accumulating -- this memory 400 from -- a video signal -- the sequential above-mentioned zoom processor 100 Zoom processing is read and carried out and it outputs as an image expanded or reduced to the regenerative apparatus etc. It is the configuration applied when performing and outputting special processing of reversal, rotation, etc. to the image which carried out zoom processing in drawing 5 further. Memory (A) 400 It is the above-mentioned electronic zoom processor 100 about the once accumulated image. Are beginning to read one by one and zoom processing is performed. the image -- the 2nd memory (B) 500 It accumulates, where it accumulated in the address of arbitration and special processing of reversal of an image, rotation, etc. is performed, and reading appearance is carried out one by one, and it outputs.

[0054]

[Effect of the Invention] Thus, since the degree of primary interpolation and secondary interpolation can be adjusted according to the 1st multiplier set up by the multiplier setting means according to this invention, the degree of the emphasis in the edge part of an image can be made adjustable, image quality can be raised in still more various patterns, and electronic zoom output drawing with few breakdowns can be obtained. Moreover, since it carried out adjustable [ of the degree of an improvement of these frequency characteristics ] while the frequency characteristics after the needy interpolation processing had been improved by the conventional method, it became possible to choose a better interpolation condition to various patterns.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing one example of the electronic zoom processor by this invention.

[Drawing 2] It is drawing showing an example of the internal configuration of the interpolation processing section in the example shown in drawing 1 .

[Drawing 3] It is the block diagram showing a configuration in case the electronic zoom processor by the example shown in drawing 1 is applied to an image pick-up device.

[Drawing 4] It is the block diagram showing a configuration in case the electronic zoom processor by the example shown in drawing 1 is applied to a common image processing system.

[Drawing 5] It is the block diagram showing a configuration in case the electronic zoom processor by the example shown in drawing 1 is applied to the image processing system which gives special effect.

[Drawing 6] It is the block diagram showing the example of a configuration of the interpolation multiplier operation part in the example shown in drawing 1 .

[Drawing 7] It is drawing showing the difference of the dynamic range of a pixel processed with primary interpolation and secondary interpolation, respectively.

[Drawing 8] It is the block diagram showing other examples of a configuration of the output-control section shown in drawing 2 .

[Drawing 9] It is drawing showing the interpolation processing by secondary interpolation notionally.

[Drawing 10] It is drawing showing an example of the pixel location after pixel interpolation processing.

### [Description of Notations]

100 Electronic Zoom Processor  
120 Processing Initiation Pixel Decision Section  
122 Interpolation Multiplier Operation Part  
124 Pixel Input Section  
126 Interpolation Operation Part  
128 Multiplier Setting Section  
130 Control Unit

---



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-83863

(43) 公開日 平成9年(1997)3月28日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N	5/262		H 0 4 N	5/262
	5/91			5/91
	5/937			5/93
				N
				C

審査請求 未請求 請求項の数10 O L (全 11 頁)

(21) 出願番号 特願平7-238190

(22) 出願日 平成7年(1995)9月18日

(71) 出願人 000005201

富士写真フイルム株式会社

神奈川県南足柄市中沼210番地

(72) 発明者 高根 靖雄

埼玉県朝霞市泉水三丁目11番46号 富士写

真フイルム株式会社内

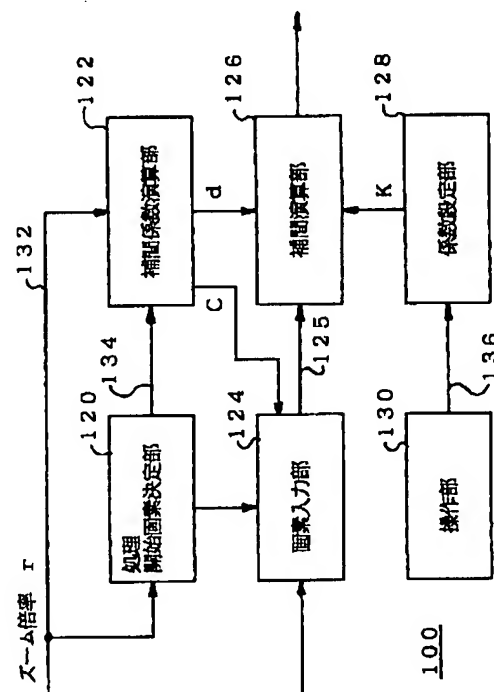
(74) 代理人 弁理士 香取 孝雄

(54) 【発明の名称】 電子ズーム処理装置および電子ズーム処理方法

(57) 【要約】

【課題】 さまざまな絵柄に対して画質を高めて、破綻の少ない電子ズーム出力画像を得る。

【解決手段】 接続線132に入力されたズーム倍率 $r$ に応じて処理開始画素および補間処理後の画素間隔がそれぞれ処理開始画素決定部120および補間係数演算部122にて決定されて、画素入力部124から補間処理する画素データが補間演算部126に入力される。補間演算部126に入力した画素データは、1次補間と2次補間とにより補間処理されるが、このとき2次補間の演算出力を制御する係数 $K$ が係数設定部128から補間演算部126に供給されて、2次補間の演算出力にこの係数 $K$ が乗算され、この乗算結果が1次補間の演算結果に加算されて、その加算結果が補間演算部126の出力から出力される。



**【特許請求の範囲】**

【請求項1】 設定されたズーム倍率に応じて画像データをデジタル演算して、その画像データにて表わされる画像を拡大または縮小する電子ズーム処理装置において、該装置は、  
前記ズーム倍率に応じて処理開始画素の位置を決定する画素決定手段と、

前記ズーム倍率および前記画素決定手段にて決定された処理開始画素に基づいて、補間処理後の画素間隔を算出する補間係数演算手段と、

該補間係数演算手段の演算結果に基づいて、前記画像データを補間処理する補間演算手段とを有し、該補間演算手段は、

前記画素データを1次補間する第1の補間手段と、  
該第1の補間手段より与えられる情報に基づいて、前記画素データを2次補間する第2の補間手段と、  
前記第1および第2の補間手段の出力を加算して出力する出力制御手段とを含み、

該装置はさらに、前記出力制御手段における加算の割合を制御する第1の係数を設定する係数設定手段を有し、  
前記出力制御手段は、前記設定された第1の係数に応じた2次補間の処理結果を1次補間の処理結果に加算することを特徴とする電子ズーム処理装置。

【請求項2】 請求項1に記載の電子ズーム処理装置において、該装置は、操作者の操作を検出する操作手段を有し、前記係数設定手段は、前記操作手段にて検出された操作情報に従って前記第1の係数を設定することを特徴とする電子ズーム処理装置。

【請求項3】 請求項1に記載の電子ズーム処理装置において、前記出力制御手段は、前記加算結果に対し、該加算結果が所定のビット数を超えないようにゲイン制御する第1の乗算手段を含むことを特徴とする電子ズーム処理装置。

【請求項4】 請求項3に記載の電子ズーム処理装置において、前記出力制御手段は、前記加算結果が前記所定のビット数を超えたか否かを監視する第1の監視手段を含み、  
前記第1の乗算手段は、前記第1の監視手段の監視結果に従ってゲイン制御することを特徴とするズーム処理装置。

【請求項5】 請求項1に記載の電子ズーム処理装置において、前記出力制御手段は、前記第2の補間手段の出力に対し、出力制御のための第2の係数を乗算する第2の乗算手段を有し、該出力制御手段は該第2の乗算手段による演算結果と前記第1の補間手段の出力とを加算し、  
該出力制御手段はさらに、前記加算結果が前記所定のビット数を超えたか否かを監視する第2の監視手段を含み、  
前記第2の乗算手段は、前記第2の監視手段の監視結果

に従った第2の係数を前記第2の補間手段の出力に乗算することを特徴とするズーム処理装置。

【請求項6】 設定されたズーム倍率に応じて画像データをデジタル演算して、その画像データにて表わされる画像を拡大または縮小する電子ズーム処理方法において、該方法は、

前記ズーム倍率に応じて処理開始画素の位置を決定する画素決定工程と、

前記ズーム倍率および前記画素決定工程にて決定された処理開始画素に基づいて、補間処理後の画素間隔を算出する補間係数演算工程と、

該補間係数演算手段の演算結果に基づいて、前記画像データを補間処理する補間演算工程とを有し、該補間演算工程は、

前記画素データを1次補間する第1の補間工程と、  
該第1の補間工程より与えられる情報に基づいて、前記画素データを2次補間する第2の補間工程と、  
前記第1および第2の補間工程の出力を加算して出力する出力制御工程とを含み、

該方法はさらに、前記出力制御工程における加算の割合を制御する第1の係数を設定する係数設定工程を有し、  
前記出力制御工程は、前記設定された第1の係数に応じた2次補間の処理結果を1次補間の処理結果に加算することを特徴とする電子ズーム処理方法。

【請求項7】 請求項6に記載の電子ズーム処理方法において、該方法は、操作者の操作を検出する操作工程を有し、前記係数設定工程は、前記操作工程にて検出された操作情報に従って前記第1の係数を設定することを特徴とする電子ズーム処理方法。

【請求項8】 請求項6に記載の電子ズーム処理方法において、前記出力制御工程は、前記加算結果に対し、該加算結果が所定のビット数を超えないようにゲイン制御する第1の乗算工程を含むことを特徴とする電子ズーム処理方法。

【請求項9】 請求項8に記載の電子ズーム処理方法において、前記出力制御工程は、前記加算結果が前記所定のビット数を超えたか否かを監視する第1の監視工程を含み、  
前記第1の乗算工程は、前記第1の監視工程の監視結果に従ってゲイン制御することを特徴とするズーム処理方法。

【請求項10】 請求項6に記載の電子ズーム処理方法において、前記出力制御工程は、前記第2の補間工程の出力に対し、出力制御のための第2の係数を乗算する第2の乗算工程を有し、該出力制御工程は該第2の乗算工程による演算結果と前記第1の補間工程の出力とを加算し、  
該出力制御工程はさらに、前記加算結果が前記所定のビット数を超えたか否かを監視する第2の監視工程を含み、

前記第2の乗算工程は、前記第2の監視工程の監視結果に従った第2の係数を前記第2の補間工程の出力に乗算することを特徴とするズーム処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像を表わす映像信号をデジタル演算によりズーム処理する電子ズーム処理装置および電子ズーム処理方法に係り、たとえば、ビデオカメラおよび電子スチルカメラなどの撮像機器、これら撮像機器にて撮像して得られた映像信号を編集する編集機器および映像信号の表わす画像を出力する表示装置や印刷装置などに用いて好適な電子ズーム処理装置および電子ズーム処理方法に関するものである。

【0002】

【従来の技術】近年、たとえばビデオカメラなどの民生用の撮像機器では、被写体を撮像する際に撮像レンズの一部を移動させて焦点距離を連続的に変化させる光学的なズーミングと、撮像して得られた映像信号をデジタル演算し、その映像信号の表わす画像を電子的に拡大する電子ズーミングとを併用して、ズームインおよびズームアウトによって被写体を自在に拡大、縮小させるものが知られている。

【0003】このようなズーム処理を行なう電子ズーム機能は、ハード構成の簡素化などの要求から、たとえば画素の前置ホールドによる補間方法や線形（1次）補間を採用して、元の画像を拡大した画像を出力していた。一般に、このような補間処理では、2次補間以上の高次の補間処理の方がよい画質を得ることができるが、前述の要求から、比較的少ない演算量で様々な絵柄に対して無難に補間処理する1次補間によって、画質に破綻の少ない画像を得ていた。

【0004】

【発明が解決しようとする課題】しかしながら、1次補間では、補間処理後の画素レベルのダイナミックレンジを2次補間による処理結果と較べて大きくすることができず、また、2次補間では、処理する画像の絵柄によってはその処理結果が人間からみて必ずしもよい画像と認識されるとは限らないという問題があった。

【0005】たとえば、1次補間と2次補間とを補間処理後の画素レベルについて比較すると、2次補間の方がダイナミックレンジが拡大し、たとえば映像のエッジ部分が強調されるという利点がある。しかし、その強調が絵柄によっては適切ではない場合があり、その場合、画質に破綻が生じてしまうという問題があった。

【0006】本発明はこのような従来技術の欠点を解消し、様々な絵柄に対して画質を高めて、破綻の少ない電子ズーム出力画像を得ることのできる電子ズーム処理装置および電子ズーム処理方法を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は上述の課題を解決するために、設定されたズーム倍率に応じて画像データをデジタル演算して、その画像データにて表わされる画像を拡大または縮小する電子ズーム処理装置において、この装置は、ズーム倍率に応じて処理開始画素の位置を決定する画素決定手段と、ズーム倍率および画素決定手段にて決定された処理開始画素に基づいて、補間処理後の画素間隔を算出する補間係数演算手段と、補間係数演算手段の演算結果に基づいて、画像データを補間処理する補間演算手段とを有し、補間演算手段は、画素データを1次補間する第1の補間手段と、第1の補間手段より与えられる情報に基づいて、画素データを2次補間する第2の補間手段と、第1および第2の補間手段の出力を加算して出力する出力制御手段とを含み、この装置はさらに、出力制御手段における加算の割合を制御する第1の係数を設定する係数設定手段を有し、出力制御手段は、設定された第1の係数に応じた2次補間の処理結果を1次補間の処理結果に加算することを特徴とする。

【0008】この場合、この装置は、操作者の操作を検出する操作手段を有し、係数設定手段は、操作手段にて検出された操作情報に従って第1の係数を設定するとよい。

【0009】また、出力制御手段は、加算結果に対し、この加算結果が所定のビット数を超えないようにゲイン制御する第1の乗算手段を含むとよい。

【0010】この場合さらに、出力制御手段は、加算結果が前記所定のビット数を超えたか否かを監視する第1の監視手段を含み、第1の乗算手段は、第1の監視手段の監視結果に従ってゲイン制御するとよい。

【0011】また、出力制御手段は、第2の補間手段の出力に対し、出力制御のための第2の係数を乗算する第2の乗算手段を有し、出力制御手段は第2の乗算手段による演算結果と第1の補間手段の出力とを加算し、出力制御手段はさらに、加算結果が所定のビット数を超えたか否かを監視する第2の監視手段を含み、第2の乗算手段は、第2の監視手段の監視結果に従った第2の係数を第2の補間手段の出力に乘算するとよい。

【0012】また、本発明は上述の課題を解決するために、設定されたズーム倍率に応じて画像データをデジタル演算して、その画像データにて表わされる画像を拡大または縮小する電子ズーム処理方法において、この方法は、ズーム倍率に応じて処理開始画素の位置を決定する画素決定工程と、ズーム倍率および画素決定工程にて決定された処理開始画素に基づいて、補間処理後の画素間隔を算出する補間係数演算工程と、補間係数演算工程の演算結果に基づいて、前記画像データを補間処理する補間演算工程とを有し、補間演算工程は、画素データを1次補間する第1の補間工程と、第1の補間工程より与えられる情報に基づいて、画素データを2次補間する第2の補間工程と、第1および第2の補間工程の出力を加

算して出力する出力制御工程とを含み、この方法はさらに、出力制御工程における加算の割合を制御する第1の係数を設定する係数設定工程を有し、出力制御工程は、設定された第1の係数に応じた2次補間の処理結果を1次補間の処理結果に加算することを特徴とする。

【0013】この場合、この方法は、操作者の操作を検出する操作工程を有し、係数設定工程は、操作工程にて検出された操作情報に従って第1の係数を設定するとよい。

【0014】また、出力制御工程は、加算結果に対し、この加算結果が所定のビット数を超えないようにゲイン制御する第1の乗算工程を含むとよい。

【0015】この場合さらに、出力制御工程は、加算結果が所定のビット数を超えたか否かを監視する第1の監視工程を含み、第1の乗算工程は、第1の監視工程の監視結果に従ってゲイン制御するとよい。

【0016】また、出力制御工程は、第2の補間工程の出力に対し、出力制御のための第2の係数を乗算する第2の乗算工程を有し、出力制御工程は第2の乗算工程による演算結果と第1の補間工程の出力とを加算し、出力制御工程はさらに、加算結果が所定のビット数を超えたか否かを監視する第2の監視工程を含み、第2の乗算工程は、第2の監視工程の監視結果に従った第2の係数を2次補間工程の出力に乗算するとよい。

【0017】

【発明の実施の形態】次に本発明による電子ズーム処理装置および電子ズーム処理方法の一実施例を添付図面を参照して詳細に説明する。図1には、本発明による電子ズーム処理方法が適用された電子ズーム処理装置の一実施例が示されている。本実施例における電子ズーム処理装置100は、元画像の画素データを順次入力して、これらを内挿補間演算にてデジタル演算して拡大または縮小された画像を表わす映像信号を出力する信号処理装置であり、たとえば、ビデオカメラまたは電子スチルカメラなどの撮像機器に適用された際に、図3に示すように撮像系からの映像信号を受けてズーム処理し、処理した信号をフレームメモリまたはフィールドメモリなどのバッファ300に蓄積して、ファインダおよび記録再生系に出力する。

【0018】とくに、本実施例の電子ズーム処理装置100は、1次補間と2次補間とを切り換えて補間処理を行なうだけでなく、これらの中間的な補間演算処理を行なうことによって、様々な絵柄の画像に柔軟に対応したズーム処理を行なう点に大きな特徴を有する。なお、以下の説明において本発明に直接関係のない部分は図示およびその説明を省略し、また、信号線の参照符号はその現われる接続線の参照番号で表わす。

【0019】詳細には本実施例の電子ズーム処理装置100は、図1に示すように、処理開始画素決定部120と、補間係数演算部122と、画素入力部124と、補間演算部

126と、1次補間と2次補間との比率を設定するための係数Kを補間演算部126に与える係数設定部128と、操作部130とを有している。

【0020】処理開始画素決定部120は、不図示のズーム倍率入力部にて設定されるズーム倍率 $r$ を接続線132を介して入力し、このズーム倍率 $r$ を受けて元画像の処理開始画素の位置 $R(x, y)$ を決定する演算部であり、たとえば、ビデオカメラなどでは演算処理用のマイクロプロセッサなどが有効に適用される。この処理開始画素決定部120では、たとえばビデオカメラのCCD(Charge Coupled Device)の画素数またはデジタル処理装置での元画像を蓄積するフレームメモリなどの容量から元の画像の画素数 $M \times N$ が与えられており、また、ズーム処理後の画素数 $m \times n$ も、表示装置などの画素数から与えられている。本実施例では、たとえば、水平方向にて元画像の画素数 $M$ の2分の1、つまり元画像の中心位置と処理開始画像の位置 $R_x$ との差の2倍にズーム倍率 $r$ を積算して得られるズーム処理後の画素数 $m$ の関係から、既知となっている画素数 $M, m$ およびズーム倍率 $r$ から逆算して処理開始画素の位置 $R_x$ を算出する。同様に、垂直方向の画素数 $N, n$ およびズーム倍率 $r$ から処理開始画素の垂直位置 $R_y$ を求める。処理開始画素決定部120は、求めた画素位置を接続線134を介して補間係数演算部122に出力する。

【0021】補間係数演算部122は、最初の画素では処理開始画素決定部120からの画素位置を補間係数 $d$ として補間演算部126に供給し、それ以降の画素ではズーム倍率 $r$ と元画像の画素間距離にて算出される等間隔の値を、求めた画素の位置に順次加算して対応の入力画素間での位置を算出する位置演算回路である。本実施例では、たとえば、図6に示すようにズーム倍率 $r$ と元画像の画素間距離にて算出される等間隔の値をズーム倍率データとして受け、これを加算器600を介して出力するとともに、そのデータを加算器600にフィードバックして次の値と加算して再び出力する回路にて形成されている。加算器600は、たとえば8ビットの加算回路であり、加算値が8ビットを超えた場合にキャリービットCを画素入力部124に供給する。そのキャリービットCは、次の入力画素の読み出し、または読み捨てに使用される。具体的には、元画像の画素間距離を $2^8=256$ として、ズーム倍率 $r=1.31$ とすると、求める画素間距離は $256/1.31 \approx 195$ となり、195の距離を順次前回の画素位置に加算して、256を超えた場合に画素入力部124にキャリービットCを供給して画素取込みを行ない、256に満たない値(下位8ビット部分)を補間係数 $d$ として補間演算部126に供給する。また、ズーム倍率が $r=0.66$ とすると、求める画素間距離は、 $256/0.66 \approx 387$ となり、387の距離を順次前回の画素位置に加算して、256を超えた場合に画素入力部124にキャリービットCを供給し、このキャリービットが加算器600から出力されな

くなるまで画素の読み捨てを画素入力部124が行なうとともに、256に満たない値を補間係数dとして補間演算部126に供給する。

【0022】図1に戻って、画素入力部124は、処理開始画素決定部120からの演算値および補間係数演算部122からのキャリービットCに応動して、順次元画像の画素を読み出す画素読出回路である。画素入力部124は読み出した画素データを接続線125を介して補間演算部126に出力する。

【0023】補間演算部126は、画素入力部124から出力された元画像の画素値に補間係数演算部122から出力された補間係数dを乗算して、補間画素の値を演算する主演算回路であり、本実施例ではたとえば図2に示すように、主に1次補間を行なう第1の補間処理部202と、この補間処理部202とともに2次補間処理を行なう第2の補間処理部204とを有し、さらに補間演算部126は、

$$Y(X) = f[X_0] + (X - X_0)f[X_0, X_1] + (X - X_0)(X - X_1)f[X_0, X_1, X_2] \dots (1)$$

但し、 $f[X_0] = Y_0$

$$f[X_0, X_1] = (Y_1 - Y_0) / (X_1 - X_0)$$

$$f[X_0, X_1, X_2] = \{f[X_1, X_2] - f[X_0, X_1]\} / (X_2 - X_0) \text{ である。}$$

【0026】ここで、式(1)にて画素間隔距離=1と

$$Y(X) = Y_1(X - X_1) + Y_0(X_1 - X) + 1/2(Y_2 - 2Y_1 + Y_0)(X - X_0)(X - X_1) \dots (2)$$

のように変形することができる。

【0028】本実施例の補間演算部126では、基本的には、式(1)の2次の項に対し、係数K ( $0 \leq K \leq 1$ )を乗

$$Y(X) = Y_1(X - X_1) + Y_0(X_1 - X) + K/2(Y_2 - 2Y_1 + Y_0)(X - X_0)(X - X_1) \dots (3)$$

である。

【0030】一方、電子ズーム機能における画像の拡大／縮小のための画素制御は式(2)において、 $X - X_1$ を画

$$Y(X) = Y_1d + Y_0(1 - d) + K/2(Y_2 - 2Y_1 + Y_0)d(d - 1) \dots (4)$$

となる。

【0032】よって補間後の画素間距離dが1未満の値のときは拡大処理となり、画素間距離dが1を超える値のときには縮小処理となる。たとえば拡大時の制御は、画素間距離dを順次積算してゆき、 $d = 1$ となるごとに隣接している画素を読み出し、また、縮小時には、dが

$$Y(X) = (Y_1 - Y_0)d + Y_0 + K/2\{(Y_2 - Y_1)d - (Y_1 - Y_0)d\}(d - 1) \dots (5)$$

である。

【0034】このように本実施例では、式(5)の2次の項に対し係数Kを乗算することによって、式全体に対するその項による値の度合いを係数Kに応じて調節することができる。

【0035】この式(5)を演算回路にて表わしたのが図2に示す補間演算部126である。同図からわかるように、第1の補間処理部202は、前記式(5)における1次の項「 $(Y_1 - Y_0)d + Y_0$ 」に対応する構成であり、また、第2の補間処理部204と出力制御部210とは式(5)における2次の項「 $K/2\{(Y_2 - Y_1)d - (Y_1 - Y_0)d\}(d - 1)$ 」に対応する構成である。

【0036】第1の補間処理部202は、第2の補間処理

第2の補間処理部204の出力に係数Kを乗算する乗算器206と、この乗算器206の出力と第1の補間処理部202の出力とを加算して出力する加算器208とを含む出力制御部210を有している。すなわち、本実施例における補間演算部124は、次に記述するNewtonの補間(内挿)公式にしたがって構成されている。

【0024】まず、補間演算部126に入力される2次元画像に対して水平方向と垂直方向とに分けて演算を行ない、結果として隣接する9画素に対して、図9に示すような2次の補間演算(9点補間)を行なう。このとき演算部分は、水平方向と垂直方向とは同一であるため、隣接する3画素( $X_0, X_1, X_2$ )に対してNewtonの補間公式をあてはめると、この補間演算は次式(1)にて表わされる。

【0025】

【数1】

おくと、式(1)は、

【0027】

【数2】

算する構成としている。つまり、

【0029】

【数3】

素間距離と見なして、 $d = (X - X_1)$ とおくと、

【0031】

【数4】

1未満になるまで画素を読み捨てる制御を行なう。本実施例における補間演算部126は、式(4)をさらに、次式(5)に示すように変形して構成されている。すなわち、

【0033】

【数5】

部204の遅延回路220の出力222に接続され、たとえば水平方向の2画素( $Y_1, Y_0$ )について1次補間を行なう補間回路である。この補間処理部202は入力222に現われる画素を遅延させて出力230に出力する遅延回路228と、遅延回路220にて遅延された画素 $Y_1$ と遅延回路228にて遅延された画素 $Y_0$ との差 $Y_1 - Y_0$ を演算して、 $Y_1 - Y_0$ を出力234に出力する減算器232と、減算器232から出力された $Y_1 - Y_0$ に、補間係数演算部124(図1)から与えられる補間係数dを乗算する乗算器236と、乗算器236の出力238と遅延回路228の出力230とを加算する加算器240とを含む。加算器240の出力224は出力制御部210の加算器208に接続されている。

【0037】第2の補間処理部204は、補間処理部202

とともにたとえば水平方向の3画素について(Y2, Y1, Y0) 2次補間を行なう補間回路である。この補間処理部204は、遅延回路220に inputsされる画素Y2と遅延回路220にて遅延された画素Y1との差 $Y2-Y1$ を演算して、 $Y2-Y1$ を出力240に出力する減算器242と、減算器242から出力された $Y2-Y1$ に、補間係数演算部124から与えられる補間係数 $d$ を乗算する乗算器244と、この乗算器244の出力246と乗算器236の出力238との差を演算する減算器248と、この減算器248の出力250に $(d-1)/2$ を乗算して出力226に出力する乗算器252と、補間係数演算部122から与えられる補間係数 $d$ から $(d-1)/2$ の値を算出して乗算器252に出力する演算回路254を含む。補間処理部204の226は出力制御部210の乗算器206に接続されている。

【0038】この乗算器206は、補間処理部204から出力された $1/2\{(Y2-Y1)d-(Y1-Y0)d\}(d-1)$ を表わす値に対し、補間係数設定部122から与えられる係数 $K$  ( $0 \leq K \leq 1$ )を乗算し、その演算結果を加算器208に出力する。加算器208は、補間処理部202の出力224と乗算器206の出力とを加算し、その演算結果を画素補間後の画素として出力する。

【0039】図1に戻って、補間演算部126に係数 $K$ を出力する係数設定部128は、本実施例では、その入力136に接続された操作部130から通知される情報に応じた係数を補間演算部126に出力する。操作部130は、たとえば操作者による電子ズーム時における画質を調節するダイヤルなどに入力される指示に応じて、その操作に応じた調節情報を係数設定部128に送出する。係数設定部128は、通知された調節情報に応じた係数 $K$ を補間演算部126に出力する。また、係数設定部128は、絵柄に応じた調節情報を、たとえば撮像機器に備えられたシステムコントロール部などから受けて、この調節情報に応じて係数 $K$ を設定するように構成されてもよい。このように本実施例では、撮像する被写体の絵柄に応じて補間演算部126にて使用される係数 $K$ を任意に設定することができる。

【0040】以上のような構成で本実施例における電子ズーム処理装置100の動作を以下に説明する。まず、操作者がズーム倍率入力部を通してズーム倍率 $r$ を設定すると、処理開始画素決定部120にて元画像の画素数 $M, N$ およびズーム処理後の画素数 $m, n$ に基づいてカメラの撮像系またはフレームメモリなどから供給される元画像における読み出し開始画素の位置を決定して、画素入力部124に供給する。

【0041】たとえば、拡大処理を行なう場合、処理開始画素決定部120は、その水平走査方向において画素数 $M, m$ をそれぞれ640とし、垂直方向の画素数 $N, n$ を480として、ズーム倍率 $r=1.31$ とすると、処理開始画素の位置( $R_x, R_y$ )を(75, 56)と算出する。処理開始画素決定部120は算出した画素位置を画素入力部124に通知し、

これを受けた画素入力部124では、まずその画素を読み出し、次いで、次の位置(76, 56)および(77, 56)の画素を順次読み出して、補間処理部126の遅延回路220に供給する。

【0042】処理開始画素 $R$ を受けた補間画素演算部126は、入力画素を遅延回路220にて遅延出力し、さらに遅延回路220の出力を遅延回路228にて遅延出力させる。遅延回路220の出力( $Y1$ )は遅延回路228の出力( $Y0$ )が減算器232にて減算され、その出力( $Y1-Y0$ )が乗算器236に与えられて、これに変換係数 $d$ が乗算される。この演算結果 $(Y1-Y0)d$ は、さらに加算器240にて、遅延回路228から出力された( $Y0$ )と加算され、その演算結果 $(Y1-Y0)d+Y0$ が加算回路228の一方の入力に供給される。

【0043】一方、遅延回路220の出力( $Y1$ )と画素データ( $Y2$ )とは、減算器242に入力されてその差 $(Y2-Y1)$ が算出され、その演算結果 $(Y2-Y1)$ は乗算器244にて変換係数 $d$ が乗算される。この演算結果 $(Y2-Y1)d$ と乗算器236の出力 $(Y1-Y0)d$ との差が減算器248にて演算されて、その演算結果 $\{(Y2-Y1)d-(Y1-Y0)d\}$ が乗算器252に入力される。

【0044】乗算器252の他方の入力には演算回路254から $(d-1)/2$ が与えられており、この値と減算器248の出力250とが乗算される。乗算器252の演算結果 $1/2\{(Y2-Y1)d-(Y1-Y0)d\}(d-1)$ は、接続線226を介して乗算器206に入力され、この値と、係数設定部128から設定されている係数 $K$ とが乗算される。この演算結果は、加算器208の他方の入力に入力される。加算回路208では、前記式(5)における1次の項に対応する $(Y1-Y0)d+Y0$ と、2次の項に対応する $K/2\{(Y2-Y1)d-(Y1-Y0)d\}(d-1)$ とが加算されてその加算結果が補間後の画素データとして出力される。

【0045】この結果、係数設定部128から係数 $K$ の値が $K=0$ が設定されている場合には、式(5)の2次の項における演算結果は、“0”となって実質的には加算回路208には入力されず、加算回路208の出力は同式(5)の1次の項における演算結果のみが出力される。また、 $K=1$ が係数設定部128にて設定されている場合には、補間処理部204にて演算された演算結果がそのまま加算器208に入力され、式(5)における1次の項に2次の項を加えた演算結果が補間演算部126の出力として出力される。さらに、係数設定部128にて設定された係数 $K$ が( $0 < K < 1$ )であった場合には、前記式(5)における1次の項と2次の項との中間的な値が画素補間後の画素データとして出力される。以上の動作は水平方向の処理について説明したものである。同様な動作を垂直方向について行なう必要がある。この場合、図2に示した遅延回路220および228を1水平走査線単位の遅延素子(たとえばラインメモリ等)に置き換えたものを使用する。なお、水平および垂直方向のいずれかを先に処理してよい。



【0046】この結果、設定された係数 $K$ が“1”に等しいかもしくはそれに近い場合には、2次補間の演算処理結果が十分に反映された補間処理後の画素データが出力され、逆に、係数 $K$ が“0”に等しいかもしくはそれに近い場合には、1次補間の特性を大きく有した補間処理後の画素データが得られる。したがって特に前者の場合には、図7に示したように、ダイナミックレンジの広い補間後の画素データを得ることができる。

【0047】また、この係数 $K$ を変化させることによって、そのダイナミックレンジを可変することができるので、入力画像に応じた係数を適切に選択することによって、絵柄に応じたダイナミックレンジを得ることができる。このことは、たとえば、画像のエッジ部分における強調の度合いを可変することができることを意味し、強調する必要がない画像や強調によって画像が破綻するような場合には、係数 $K$ の値を“0”か、またはそれに近い値を選択するとよい。また、入力画像がフラットな画像の場合には、係数 $K$ の値を“1”か、もしくはそれに近い値を選択することで、輪郭部分が適度に強調された画像が得られる。これらはその画像の映像表現の仕方に応じて操作部130を操作することによって任意に選択調整することができる。また、たとえばズーム倍率に応じて画質の評価が変化する場合には、そのズーム倍率に連動させて係数 $K$ を変化させることもでき、この場合、ズーム時における画質変化を少なくすることもできる。また、このようにズーム倍率と係数 $K$ とを連動させることによって、ズーム倍率に応じた強調処理も可能となる。

【0048】以上のようにして補間およびズーム処理された画素は、たとえば、図10にその一例を示すように、拡大または縮小された画素として出力される。同図には、水平方向640画素、垂直方向480画素の画像を1.31倍にズームインした拡大例（上段）と、水平方向1024画素、垂直方向512画素の画像を0.66倍に縮小した縮小例（下段）が示され、それぞれの画素補間後の画素データは、前述したとおり係数設定部128から与えられた係数に応じてそれぞれダイナミックレンジが拡大されている。この図において、鎖線は1次補間における画素の対応を示している。

【0049】この様子を図7に戻ってみると、1次補間は線形補間であるので、ダイナミックレンジが2次補間と比較して狭い。2次補間では、たとえば水平方向に対して3点補間であるため、2次曲線にて表わされ、その極大および極小における画素の値が広がってダイナミックレンジが拡大されていることがわかる。本実施例では、このダイナミックレンジを係数設定部128による係数 $K$ に応じて可変させることができた。

【0050】以上説明した実施例では、とくに係数 $K$ を大きい値に設定した場合には、2次補間の割合が増えるので、補間処理後のダイナミックレンジが拡大されるといふ利点があった。しかし補間処理後の画像データを処

理する後段の信号処理回路にてオーバーフローが発生する場合には、補間演算部126の出力に、ゲインコントロールのための乗算器を接続することでこの問題が解決される。

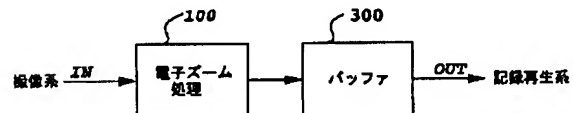
【0051】具体的には、たとえば補間処理前の画像データが8ビットにて表わされたデータである場合、このダイナミックレンジが拡大されて、補間処理後の画素データが9ビットのデータになることがある。したがって、たとえば後段の信号処理系が8ビットを前提として構成されているときには、図8に示したように、出力制御部210の加算器208（図2）の出力に、制御信号 $G$ に応じてゲインコントロールする乗算器800を接続する。この制御信号 $G$ は、たとえば加算器208の出力を監視する監視回路802にて生成され、監視回路802は、加算器208から出力される8ビットまたは9ビットの画素データを判定し、9ビットデータが入力された場合には、これが8ビットのデータとなるようにゲイン制御する制御信号を乗算器800に出力する。この場合、監視回路802は、入力した画素データを高輝度圧縮するような制御信号を生成するとよい。また、監視回路802は、一定値以上の入力画素データをすべて一定の画素値にゲイン制御する制御信号を生成して乗算器800に供給するリミッタ制御機能を有してもよい。乗算器800は監視回路802から与えられた制御信号 $G$ を、入力した9ビットデータに乗算して8ビットデータを作成し、これを補間演算部126の出力として出力する。

【0052】また、監視回路802は、補間係数設定部128から出力された係数 $K$ を入力し、これを監視結果に応じて修正する機能を有してもよい。具体的には監視回路802は、9ビットのデータを検出した場合には、入力した係数 $K$ の値をそれよりも小さく設定し直した係数 $K'$ を乗算器206に供給し、加算器208の出力が8ビットを超えないように、補間処理後のダイナミックレンジを制御する。この場合、制御信号 $G$ によって可変増幅する乗算器800はなくてもよいがあってもよい。乗算器800がある場合には、2次補間を適度に効かせた状態で、その出力をゲインコントロールし、その結果、後段の処理回路におけるオーバーフローを防止することができる。

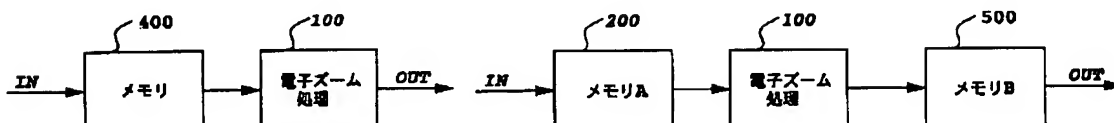
【0053】また、上記実施例では図3に示すようにカメラの撮像系からの映像信号を受けてバッファ300に蓄積するように構成したが、本発明ではたとえば図4または図5に示すように撮像機器以外の処理装置に適用してもよい。この場合、図4では一般的な処理装置に適用された例であり、フィールドメモリまたはフレームメモリなどの記憶回路400にビデオデッキまたはビデオカメラなどからの映像信号を蓄積して、このメモリ400からの映像信号を順次上記ズーム処理装置100に読み出してズーム処理し、再生装置などに拡大または縮小した画像として出力する。図5ではズーム処理した画像に、さらに反転、回転などの特殊処理を施して出力する場合等に適

## 130 操作部

【図3】

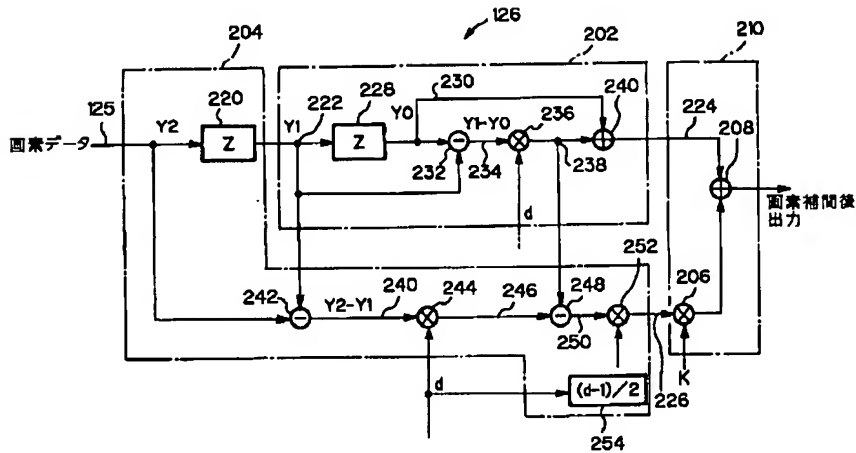


【図 5】

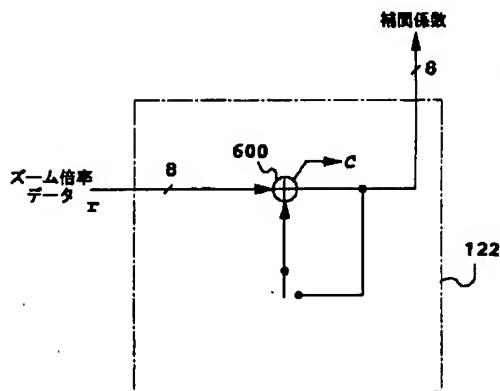




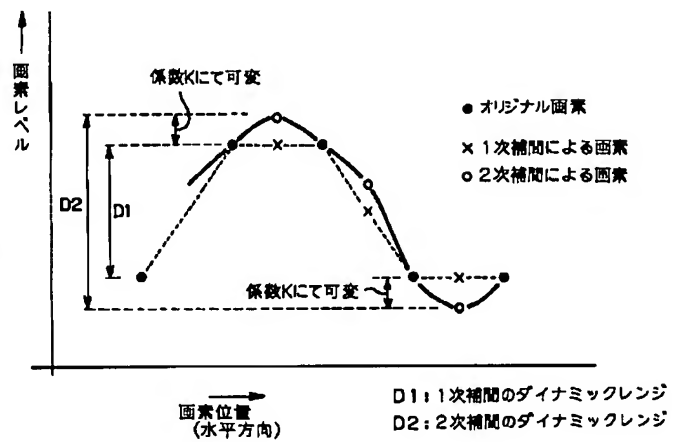
【図2】



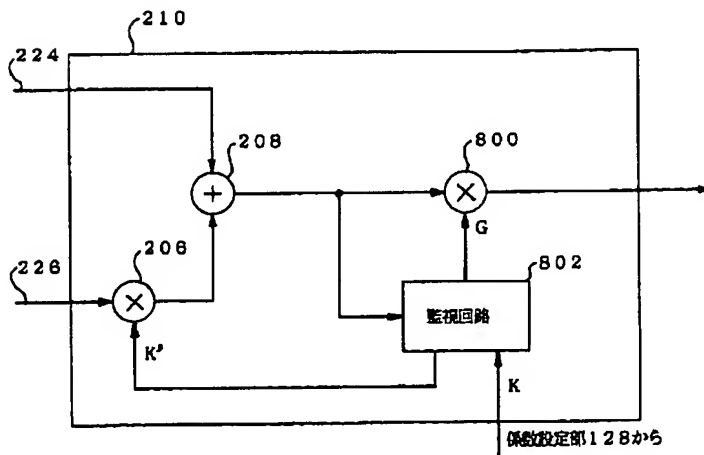
【図6】



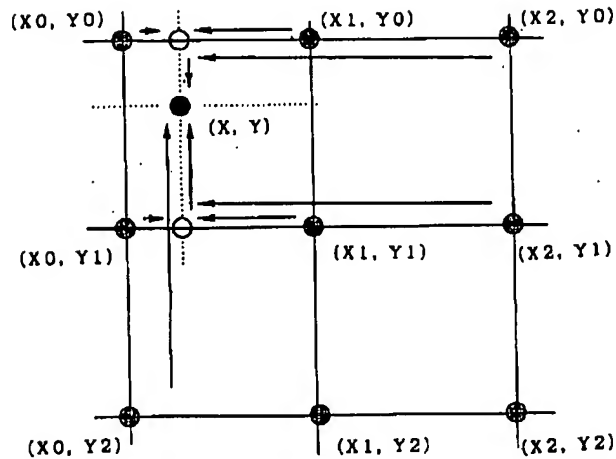
【図7】



【図8】

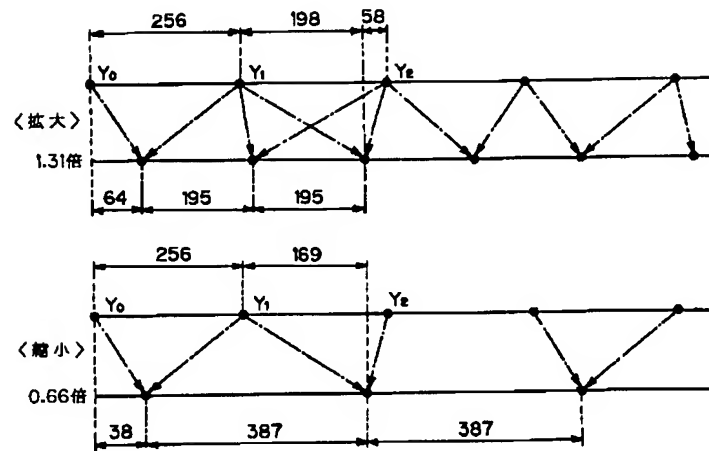


【図9】



2次補間 (9点補間)

【図10】



## 【手続補正書】

【提出日】平成7年10月4日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正内容】

【0045】この結果、係数設定部128 から係数 $K$  の値が $K=0$  が設定されている場合には、式(5)の2次の項における演算結果は、“0”となって実質的には加算回路208には入力されず、加算回路208 の出力は同式(5)の1次の項における演算結果のみが出力される。また、 $K=1$  が係数設定部128 にて設定されている場合には、補

間処理部204 にて演算された演算結果がそのまま加算器208 に入力され、式(5)における1次の項に2次の項を加えた演算結果が補間演算部126 の出力として出力される。さらに、係数設定部128 にて設定された係数 $K$  が( $0 \leq K \leq 1$ )であった場合には、前記式(5)における1次の項と2次の項との中間的な値が画素補間後の画素データとして出力される。以上の動作は水平方向の処理について説明したものである。同様な動作を垂直方向について行なう必要がある。この場合、図2に示した遅延回路220 および228 を1水平走査線単位の遅延素子(たとえばラインメモリ等)に置き換えたものを使用する。なお、水平および垂直方向のいずれかを先に処理してよ

い。